

Magnetics Deep-Dive: Infineon 12 kW / 113 W/in³ AI Data Center PSU

英飞凌 12 kW AI 数据中心电源 (REF_12KW_HFHD_PSU) 磁性器件设计详解

文档号 PMT-RPT-2026-0806-01 | 日期 2026-08-06 | 版本 Rev A/0 | 状态 Released | 编制/批准: angler

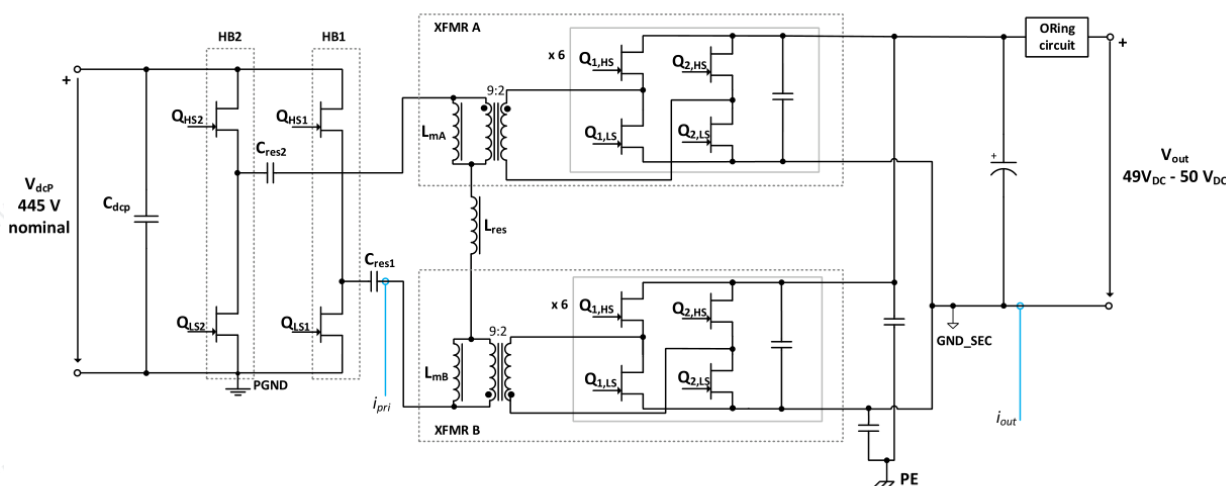
数据来源与效力声明:本文全部参数与插图引自 Infineon 公开应用笔记 REF_12KW_HFHD_PSU V1.0 (2025-11-30), 版权归 Infineon Technologies AG 所有, 本文仅作技术解读与学习交流。文中所有数值为公开参考值, 任何设计引用须以样品实测与双方承认书为准。插图标注「AN Figure N」即原文图号。

该参考设计在 40 mm × 68 mm × 640 mm (OCP ORv3 允许高度 40 mm) 的机箱内做到 12 kW 输出、113 W/in³ 功率密度与 97.8% 峰值效率 (230 V_{AC} 含风扇功耗)。功率密度翻倍的前提是磁性器件体积减半而损耗不升, 因此全机 7 类磁性器件——2 只 LLC 主变压器、1 只外置谐振电感、2 只 PFC 升压电感、1 只能量缓冲电感、2 只集成差模的共模电感——每一只都针对“高度受限 + 高频 + 大电流”做了非常规工艺选择。本文逐一拆解其设计因果链, 并给出制造端解读。

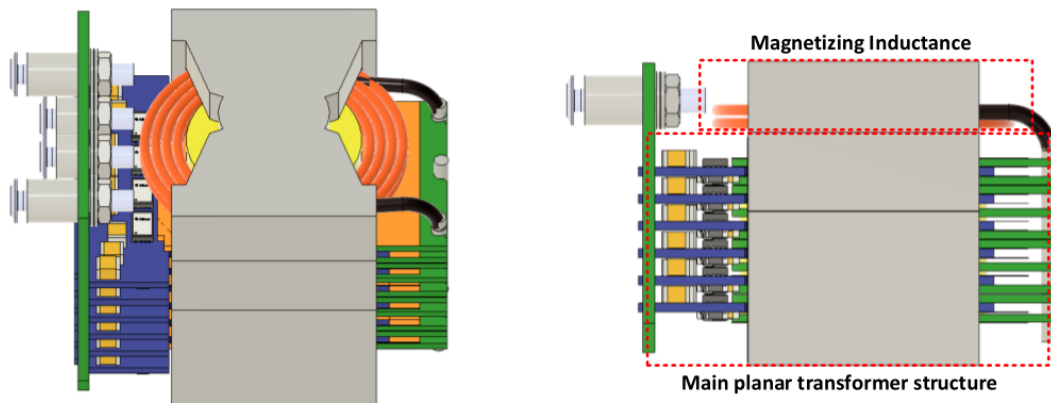
整机为两级架构: 前级交错 3 电平飞跨电容图腾柱 PFC (开关频率 32.5 kHz) 把 180–305 V_{AC} 整流升压至 445 V_{DC} 母线; 后级全桥 LLC (开关频率 303–377 kHz, 稳态最高 550 kHz) 隔离降至 49–50 V_{DC}; 母线上并联双向 Buck-Boost 能量缓冲电路, 承担 20 ms 掉电保持与电网削峰 (grid shaping)。

1. LLC 主变压器: 混合平面结构 (Hybrid Planar)

两只完全相同的 9:2 变压器, 原边串联、副边并联, 等效变比 18:2。原边串联的因果收益有二: 每只变压器只分担一半原边电压, 匝数与层间应力减半; 两变压器励磁电流被串联回路强制相等, 天然实现输出均流, 省去均流控制环节。副边并联则把单变压器副边电流减半——在 50 V/240 A 输出等级, 这是铜损的决定性因素。



LLC 全桥拓扑与双变压器串并联接法 — 来源: Infineon AN, Figure 33



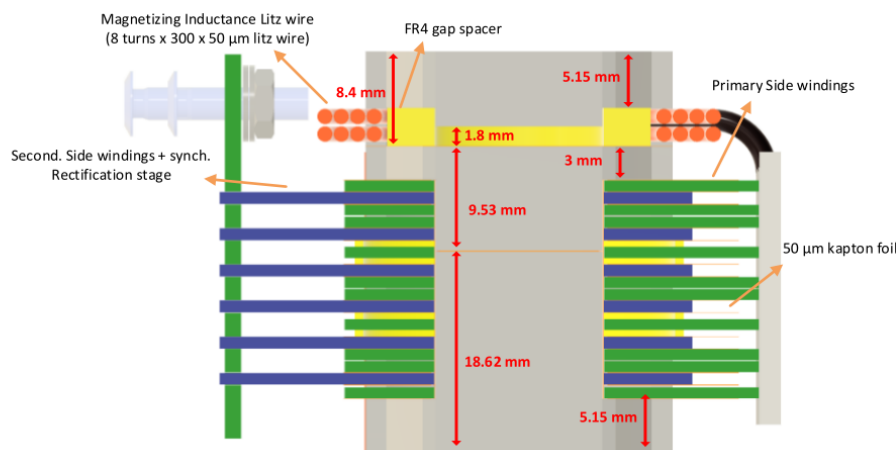
主变压器 3D 结构:平面主体 + 顶置励磁线圈 — 来源: Infineon AN, Figure 11

1.1 磁芯与气隙

- 磁芯 PQ40, 材质东磁 (DMEGC) DMR59, 在 LLC 工作频段内体积铁损低; 为满足 40 mm 整机限高, 磁芯总高压至 37 mm, 主 PCB 开槽让变压器下沉嵌入。
- 主磁路气隙仅为一层 50 μm Kapton 胶带——目的不是储能, 而是避免局部饱和。气隙极小 $\rightarrow$ 原边电感极高 $\rightarrow$ 励磁电流不足以在死区内抽干原边开关结电容 $\rightarrow$ 无法 ZVS。这是外置励磁电感存在的直接原因。

1.2 外置励磁电感 L_m : 并联在原边的"可控 ZVS 电流源"

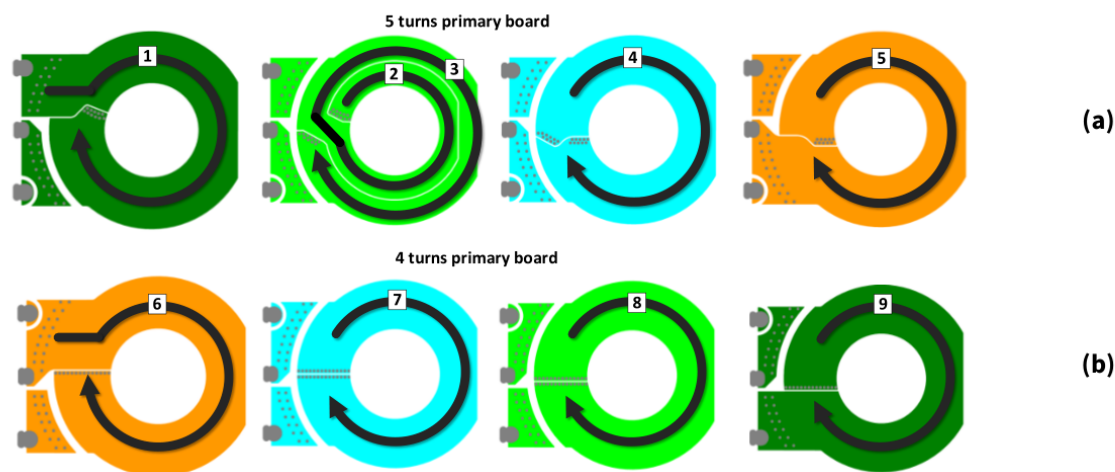
在 PQ40 顶部放置独立绕组, 电气上并联于原边两端: 8 匝, 300 股 $\times$ 50 μm Litz 线。顶部磁路开 1.8 mm 气隙, 并用 FR4 垫圈把 Litz 线圈与气隙隔开安全距离 (图中 8.4 mm/3 mm)——气隙边缘磁通 (fringing flux) 若切割 Litz 线会产生局部涡流热点, 垫圈用最便宜的方式解决了这个高频磁件的常见烧线圈问题。



变压器剖面: 1.8 mm 顶部气隙、FR4 垫圈、50 μm Kapton、层间尺寸链 — 来源: Infineon AN, Figure 37

1.3 原边绕组: 两种 6 层板串联凑 9 匝, 各 5 板并联

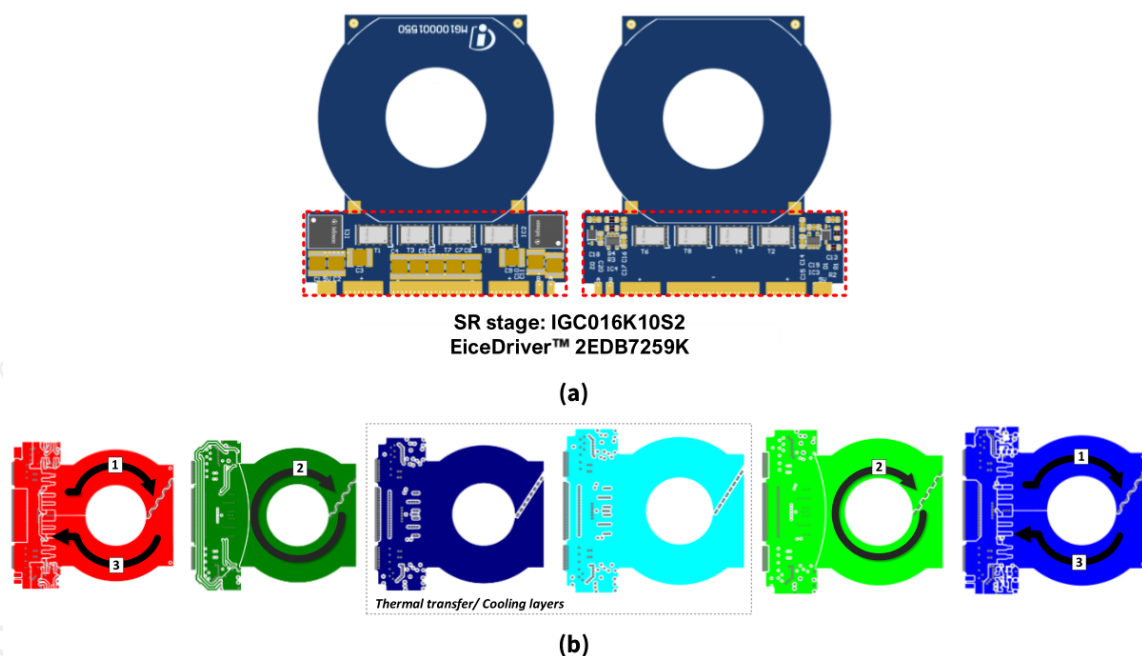
9 匝为奇数, 单一 PCB 难以对称实现, 故设计 5 匝板 + 4 匝板两种 6 层 PCB 串联; 为压低交流铜阻, 每种各 5 板并联。外层铜箔蚀刻退缩以满足原副边电气间隙/爬电; 原副边 PCB 之间加 50 μm Kapton 提高耐压, 并用 FR4 垫圈拉开原副边距离——牺牲一点漏感换取层间寄生电容大幅下降, 同时改善 EMI 与 ZVS。



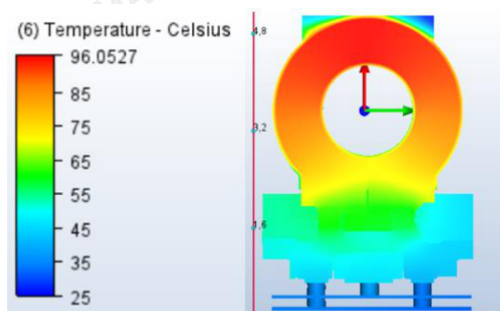
5 匝板与 4 匝板的逐层走线(6 层) — 来源: Infineon AN, Figure 38

1.4 副边绕组: 2 匝 6 层板 × 6 板并联, SR 整流直接贴在绕组板上

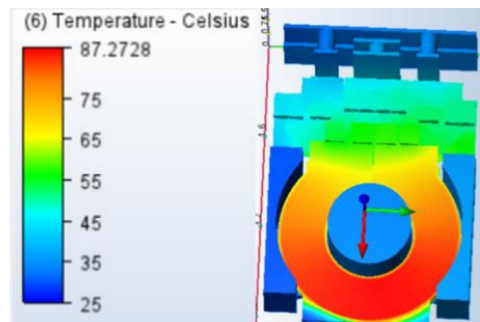
- 绕线布局: 顶/底层并联走半匝 → 第 2/5 层并联走一整匝 → 回到顶/底层收尾半匝; 功率层铜厚 140 μm 。
- 每块副边板集成 4 颗 100 V MV CoolGaN (IGC016K10S2, 1.6 m Ω) 全桥 SR 及驱动 (2EDB7259K), 每个换向槽位 2 管并联; 两只变压器共 96 颗 SR 器件。整流环路寄生电感被压缩到板内毫米级, 这是 300 kHz+ 下 SR 不振铃、不误关的结构性前提。
- 散热创新: 绕组只需 4 层, 但板子做成 6 层, 中间 2 层 35 μm 铜箔作纯导热层, 在输出端子处与外部铜母排电气相连 —— 变压器内部热量经导热层 → 母排导出。热仿真(同损耗、同风速 5 m/s)显示热点约降 10% (96.05 $^{\circ}\text{C}$ → 87.27 $^{\circ}\text{C}$), 整板厚度仍控制在约 1 mm。



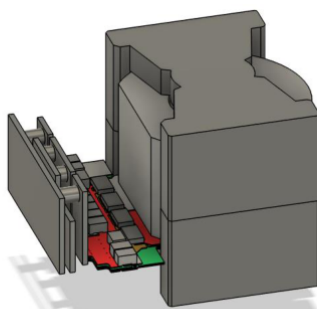
副边板: SR 全桥集成(上)与逐层绕线/散热层(下) — 来源: Infineon AN, Figure 39



(a)



(b)

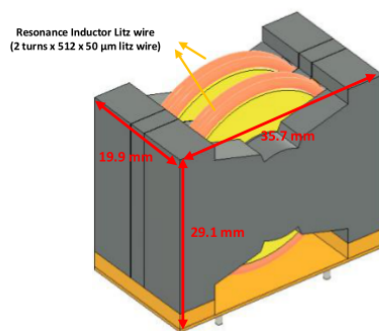


(c)

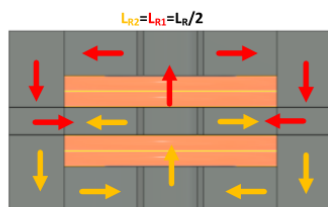
散热层效果热仿真:(a) 无散热层 96.1 °C,(b) 有散热层 87.3 °C — 来源: Infineon AN, Figure 40

2. 外置谐振电感 L_r : 双腔磁通抵消结构

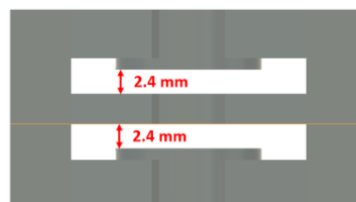
变压器窗口已被 16 块并联 PCB 填满,漏感无处可"藏",谐振电感只能外置:标称 $1.65 \mu\text{H}$,定制 PQ35 磁芯,材质同为 DMR59,两侧各开 2.4 mm 气隙,绕组 2 匝 $\times$ 512 股 $\times$ 50 μm Litz。结构上拆成两个 $0.825 \mu\text{H}$ 子电感串联,通过控制绕向使穿过中间 I 片的磁通方向相反、相互抵消——I 片区域磁密趋零,铁损集中区被"挖掉"。代价是磁路与绕组工装复杂化,收益直接体现在损耗表:满载 L_r 铁损约 23.5 W,若不做磁通抵消该值还要上抬。



(a)



(b)

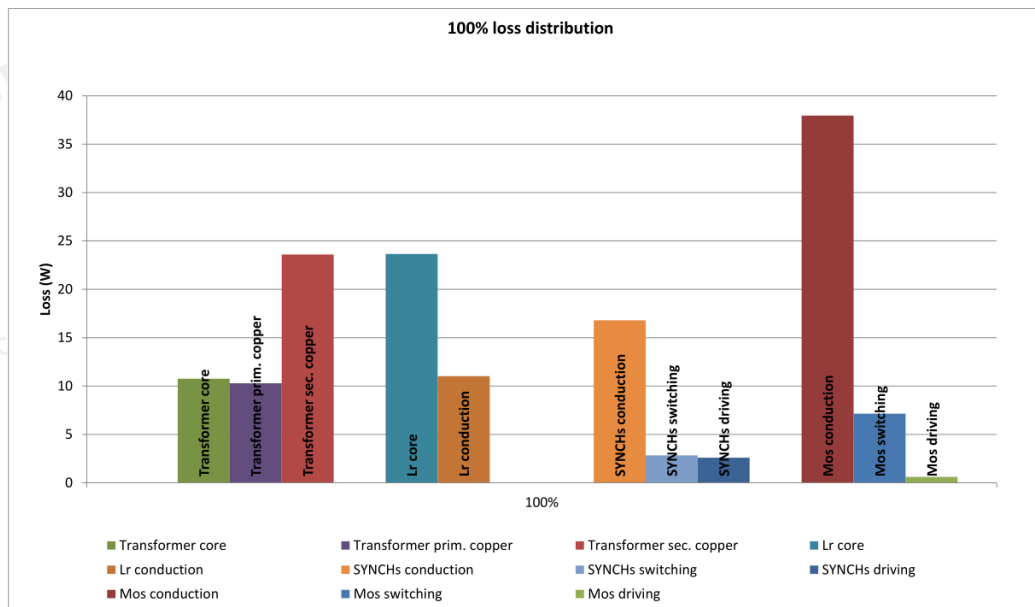


(c)

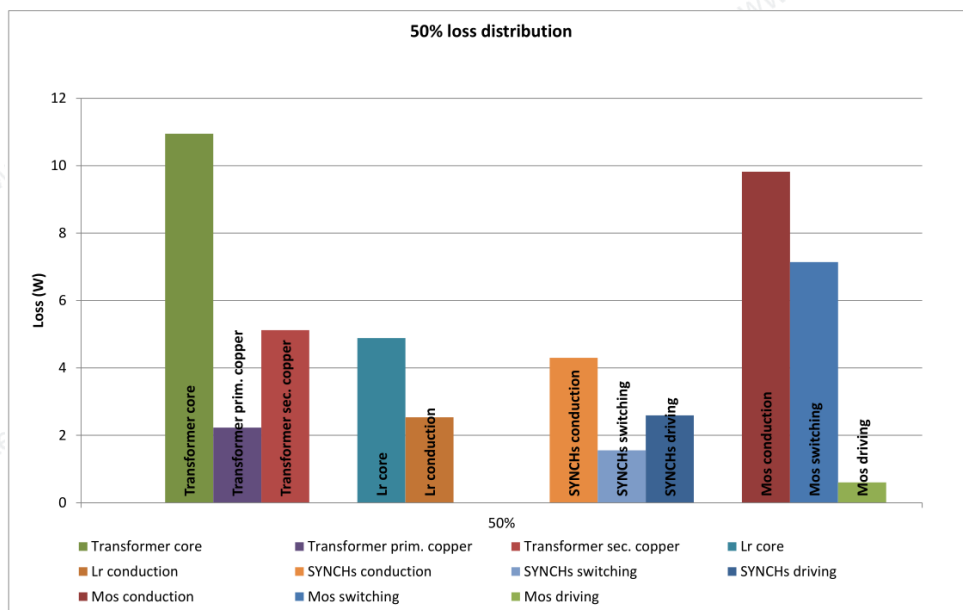
谐振电感:双腔结构、磁通方向与 2.4 mm 双气隙 I 片 — 来源: Infineon AN, Figure 41

3. LLC 磁件损耗分布:数据背后的设计权衡

AN 给出的 LLC 级损耗分解(445 V 输入)值得逐条读:满载时变压器铁损约 11 W、原边铜损约 10 W、副边铜损约 23.5 W、 L_r 铁损约 23.5 W、 L_r 铜损约 11 W——磁件合计约 79 W,与 SR/原边 GaN 的半导体损耗同一量级;半载时变压器铁损 (~11 W) 反而成为单项第一。结论:高频化之后,磁件损耗不再是配角,材质选型(DMR59)与结构创新(磁通抵消、散热层)都是被这张损耗表逼出来的。



LLC 级损耗分解 @100% 负载 — 来源: Infineon AN, Figure 35

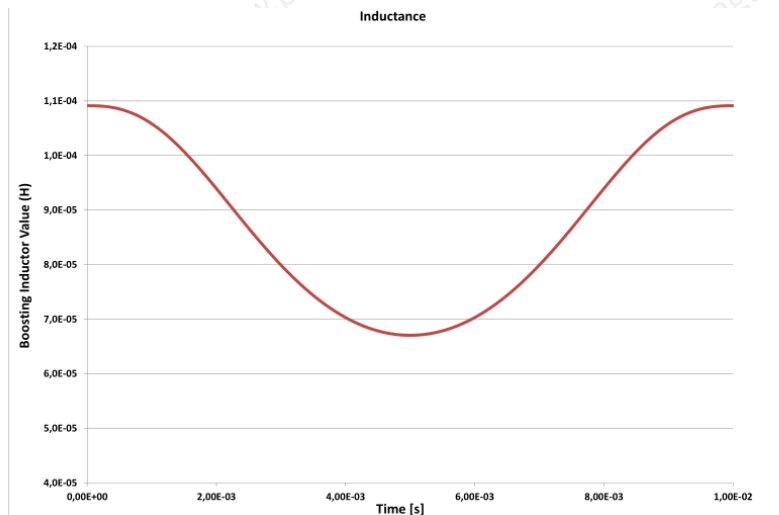


LLC 级损耗分解 @50% 负载 — 来源: Infineon AN, Figure 36

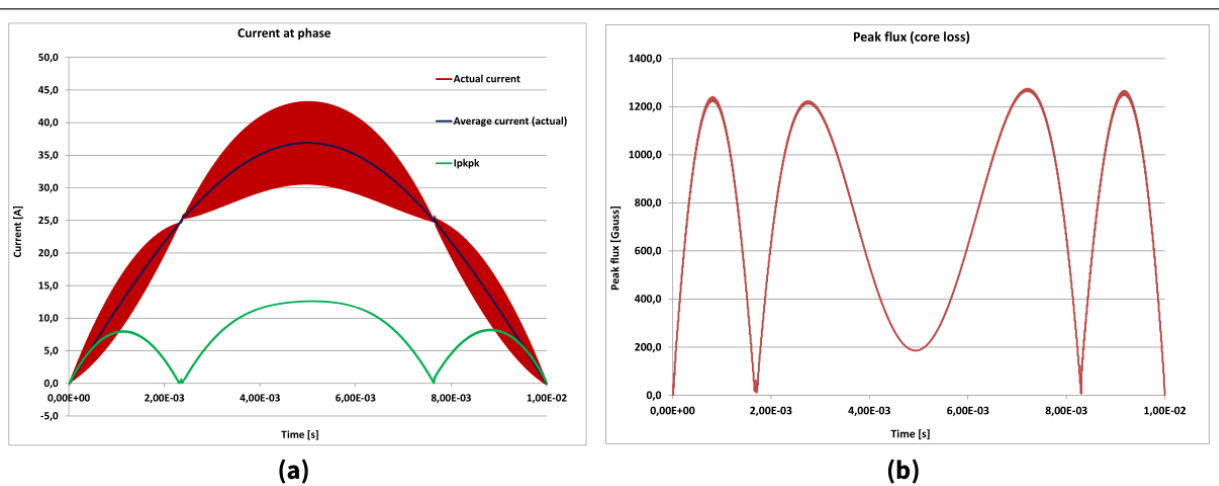
4. PFC 升压电感:高磁通磁粉环 + 抗干扰选型逻辑

- 每相 2 颗昌星 (Chang Sung) CH270060GT 高磁通磁粉环叠加, 27 匝 $\times$ Φ 1.8 mm 漆包线, 零偏置 109 μ H, 230 V_{AC} 满载峰值电流(约 43 A)下降至约 67 μ H; 单相峰值限流 78 A。
- 选环形而非 EE/PQ 的因果链: 低磁导磁粉芯需要分布气隙 $\rightarrow$ 环形结构把漏磁锁在磁芯内 $\rightarrow$ 不干扰邻近 AMR 电流传感器(避免 PFC 电流采样畸变), 也不在不锈钢机壳上感应涡流损耗。这是“磁件选型服从系统 EMC/传感布局”的典型案列。

- 3 电平飞跨电容结构使电感纹波频率为开关频率 2 倍(65 kHz),两相交错后输入侧等效 130 kHz——用 32.5 kHz 的开关损耗拿到 130 kHz 的滤波效果,电感体积与 EMI 滤波器同时受益(纹波频率为本文推导值,原文未直接给出)。



PFC 电感量随交流半周期直流偏置的变化 (109 → ~67 μ H) — 来源: Infineon AN, Figure 24



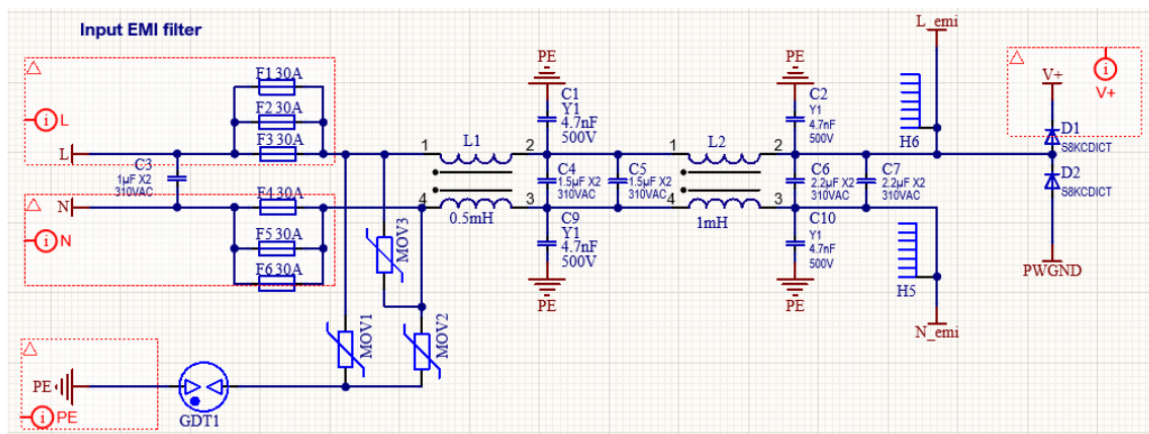
(a) 单相电流包络与纹波 (b) 每开关周期磁密峰值 — 来源: Infineon AN, Figure 25

5. 能量缓冲电感:掉电保持的"隐形"磁件

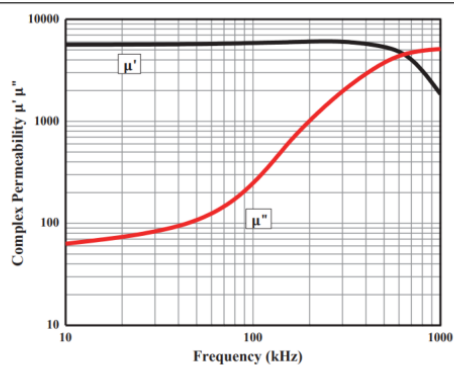
双向 Buck-Boost 能量缓冲电路复用同款磁芯:2 颗 CH270060GT 叠加,39 匝 $\times$ Φ 1.6 mm 漆包线,零偏置 230 μ H。它平时不工作(母线经静态开关直连电解电容组),只在 LCD0/削峰事件中承担能量搬运,因此按事件工况而非连续工况设计——线径比 PFC 电感细一档、匝数更多,是"占空比低则铜损让位于感量"的合理取舍。(开关频率约 97.5 kHz 为参考值,须以原文 EB 章节确认。)

6. EMI 滤波:磁分路集成差模的双级共模电感

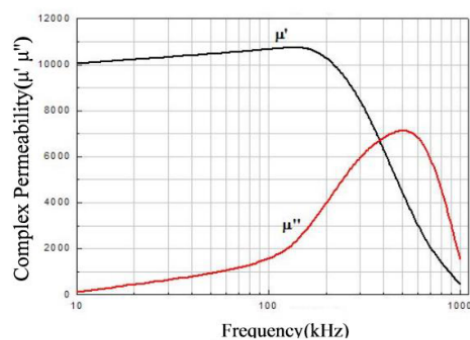
- 两级共模电感均在磁芯结构中加入 NO 30-16 硅钢片磁分路 (magnetic shunt),人为增大漏磁通路,把差模电感"长"在共模电感里,省去独立差模电感——EMI 滤波器纵深因此缩短,直接贡献功率密度。
- 大输入电流下绕组采用 0.6 mm $\times$ 5 mm 扁平铜线:同窗口面积下填充率与散热面远优于圆线多股,且利于自动化绕制与一致性控制——这正是扁平线工艺的主场。
- 材质高低频分工(按 AN 原文/原理图):电网侧 L1 = 0.5 mH,东磁 R5KZ,高频段磁导率保持性好,主攻 LLC 开关频率及以上高频噪声;变换器侧 L2 = 1.0 mH,东磁 R10KZ,初始磁导率极高,主攻 PFC 低频段开关谐波。两种材质的复数磁导率曲线互补,实测在全频段与体积约束间取得平衡。



输入 EMI 滤波器原理图:L1 0.5 mH(网侧)/ L2 1.0 mH(变换器侧) — 来源: Infineon AN, Figure 21

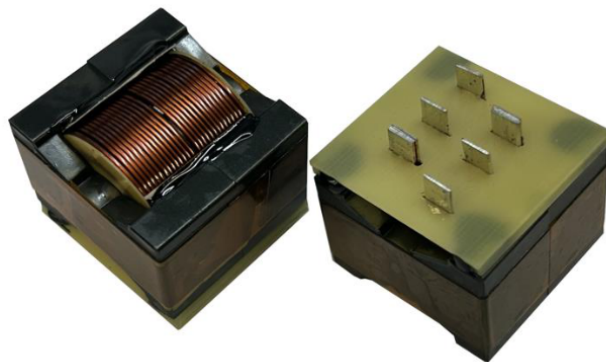


(a)



(b)

R5KZ (a) 与 R10KZ (b) 复数磁导率-频率曲线 — 来源: Infineon AN, Figure 22



集成差模电感的共模电感实物(扁平线绕组) — 来源: Infineon AN, Figure 23

7. 磁性器件关键参数全景汇总

器件	磁芯 / 材质	绕组	关键参数	频率	工艺要点
LLC 主变压器 ×2	PQ40(总高37mm)/ DMEGC DMR59	原边 9T = 5T板+4T 板串联,各5板并联; 副边 2T,6层板×6并 联,140 μm 铜	变比 18:2(单体 9:2); 主气隙 50 μm Kapton	303~377 kHz(稳态最高 550 kHz)	PCB 开槽下沉;35 μm 中间 散热层接母排,热点约降 10%;板上集成 96 颗 100 V GaN SR
外置励磁电感 L_m	复用主磁芯顶部,1.8 mm 气隙	8T,300 股 × 50 μm Litz	并联于原边,拉低总励 磁电感以保 ZVS	同上	FR4 垫圈隔开气隙边缘磁通, 防 Litz 涡流过热
谐振电感 L_r	定制 PQ35 / DMR59,双侧 2.4 mm 气隙	2T,512 股 × 50 μm Litz	1.65 μH(2 × 0.825 μH 串联)	同上	双腔绕向反接,1 片磁通抵消 降铁损
PFC 升压电感 ×2	昌星 CH270060GT ×2 叠加 / High Flux 磁粉	27T,Φ1.8 mm 漆包 线	$L_0=109\text{ }\mu\text{H}$;满载偏置 约 67 μH;限流 78 A pk	32.5 kHz(纹波 65 kHz,交错 130 kHz*)	环形锁漏磁,保护 AMR 采样 与机壳
能量缓冲电感	昌星 CH270060GT ×2 叠加 / High Flux 磁粉	39T,Φ1.6 mm 漆包 线	$L_0=230\text{ }\mu\text{H}$	约 97.5 kHz*	配合双向 Buck-Boost 实现 20 ms 保持与削峰
网侧共模电感 L_1	DMEGC R5KZ + NO 30-16 硅钢磁分路	0.6 × 5 mm 扁平铜 线	0.5 mH(集成差模)	高频段 EMI	磁分路集成差模,省独立差 模电感
变换器侧共模 电感 L_2	DMEGC R10KZ + NO 30-16 硅钢磁分 路	0.6 × 5 mm 扁平铜 线	1.0 mH(集成差模)	低频段 EMI	高初始磁导率压低频开关谐 波

* 带星号数值为本文推导/参考值,原文未直接标注,引用前须复核。

8. 制造视角解读(谱磁科技技术顾问组)

- 扁平线是大电流 EMI 磁件的确定性方向。本设计共模电感全面弃用多股圆线改 0.6 × 5 mm 扁平线,逻辑是 R_{DC} 、窗口利用率与自动化三者同向受益;对具备扁平线立绕/卧绕能力的磁件厂,这类需求是结构性增量。
- 平面变压器的竞争力在装配体系而非绕线。16 块 PCB 并联 + 96 颗 GaN 贴装 + Kapton/FR4 层间尺寸链,公差管理与压装/焊接工序设计决定良率;"变压器厂"在此实际是"精密组装厂"。
- 嵌入式散热层值得标准化。空置层铺 35 μm 铜 + 端子接母排,BOM 成本几乎为零,换 ~10% 热点下降;可作为高功率密度平面磁件的默认设计选项向客户推荐。
- 磁分路集成差模已是高密度 PSU 主流路线。硅钢片插入共模磁路的工艺窗口(片厚、插入深度、胶固化)直接决定差模感量一致性,需要专门的过程能力数据支撑量产。
- 气隙边缘效应管理是高频磁件的分水岭。1.8 mm 气隙旁 FR4 垫圈、50 μm 胶带级主气隙、2.4 mm 双气隙磁通抵消——三处细节共同说明:500 kHz 时代,气隙不再只是"磨掉多少",而是完整的场管理设计。

9. 与流传解读稿的差异勘误(须注意)

- 共模电感位号:按 AN 原理图 (Figure 21), L_1 = 网侧 0.5 mH / R5KZ, L_2 = 变换器侧 1.0 mH / R10KZ;部分解读稿(含本文所据初稿)位号相反,引用时以原理图为准。
- LLC 频率:原文给出满载工作范围 303~377 kHz、稳态最高 550 kHz;"谐振点 355 kHz"原文未直接标注,属推算值,不应作为原文数据引用。
- PFC 纹波 65 kHz/交错 130 kHz 为拓扑推导结论;能量缓冲 97.5 kHz 待原文 EB 章节复核。
- 副边散热层"降温 10%"为热仿真结论(96.1 → 87.3 °C,简化模型),原文另有整机实测温升数据,不应混用。

修订记录

版本	日期	修订内容	编制	批准
A/0	2026-08-06	首次发布(基于 Infineon AN V1.0, 2025-11-30)	angler	angler